

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-54048

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)3月28日

G 06 F 9/38

7361-5B

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 情報処理装置

⑯ 特 願 昭58-161417

⑰ 出 願 昭58(1983)9月2日

⑱ 発 明 者 木 村 真 也 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称
情報処理装置

2. 特許請求の範囲

命令先取り制御を行なう情報処理装置において、
先取りする命令のアドレスを記憶しておく第1
の記憶手段と、

データ・アクセスのメモリのアドレスを記憶し
ておく第2の記憶手段と、

先取りした命令を記憶しておく第3の記憶手段
と、

前記第1の記憶手段の出力と前記第2の記憶手
段の出力とを入力とし演算を行なう演算手段と、

前記演算手段の出力の供給をうけこれと予め
定めた値との比較を行ない前記演算手段の出力が前
記予め定めた値以内のときには自己修正命令フェ
ッチ演信号を発生する比較手段と、

前記自己修正命令フェッチ演信号とメモリへの

データ書き込み要求信号との供給に回答し前記第3
の記憶手段の初期設定を行なう初期設定手段とを
含み前記初期設定があったときには新たに命令先
取り制御を行なうことを特徴とする情報処理装置。

3. 発明の詳細な説明

(発明の属する技術分野)

本発明は情報処理装置、特に命令先取り制御を
行なう情報処理装置に関する。

(従来技術)

コンピュータの高速化技法の1つとして、命令
の先取り制御がある。ノイマン型コンピュータの
特徴に次に実行される命令は現在実行中の命令の
アドレスの次のアドレスにある命令である確率が
非常に高いことがあげられる。命令の先取り制御
はこの特徴を利用し、外部バスの空き時間中にシ
ーケンシャルに命令フェッチを行ない、内部のバ
ッファに蓄えておくことで、命令フェッチに要す
る時間を減すことを目的としている。

第1図は命令先取り機構を有する従来のコンピ

ュータのブロック図である。第1図に示す命令先取り機構を有する従来のコンピュータは、データ処理部2とバス制御部1とから構成される。命令ポインタ(以下IPと略す)11は次にメモリからフェッチする命令のアドレスを保持するレジスタである。データポインタ(以下DPと略す)12はデータ処理部2からデータ・アドレス・バス23を通して送られるメモリ・アドレスを保持するレジスタである。IP11とDP12の出力はマルチプレクサ13を通してアドレス・バス14へ出力される。インクリメンター(INCR)15は、命令フェッチ後にIP11の値を次のアドレスを指すように増加させるための演算回路である。IP11の入力は、プログラム・シーケンス制御命令、たとえばジャンプ命令などが実行された場合にデータ処理部2から命令アドレスバス22を介して供給される新しいアドレス値とインクリメンタ15の出力とでありこれらはマルチプレクサ(MPX)16によりその中の1つが選択される。インストラクション・バッファ(INST BUF)

17は、先取りされた命令を蓄えておくための高速メモリであり命令バス21を通しデータ処理部2へ命令が転送される。キュー・リード・カウンタ(以下QRCと略す)18とキュー・ライト・カウンタ(以下QWCと略す)19とはインストラクション・バッファ17を待ち行列構造として使用するためのカウンタである。データ処理部2からは、プログラム・シーケンス制御命令が実行された場合にQRC18とQWC19をリセットするためのキューカウンタ・リセット信号20が出力される。メモリとデータ処理部2とのデータ送受は、メモリ・データ・レジスタ(MDR)111と内部データ・バス112, 113を經由し、デマルチプレクサ110を通して行なわれる。

以上に示した構成で命令先取り制御が可能である。ところが命令先取り制御を行なっているコンピュータにおいて、命令先取り制御を行なっていないコンピュータのエミュレーションをする場合、命令の自己修正を行なっているプログラムの実行を忠実に再現できない。つまり、修正を加えよう

とする命令がすでにコンピュータ内に先取りされている場合には修正前の命令を実行してしまい、本来実行されるべき命令と異なってしまう。

この欠点を除去する1つの方法として、命令の先取りを行わない方法がある。しかしこの方法では命令フェッチに要する時間が命令実行時間に加えられることになりパフォーマンスの大幅な低下を来たすという欠点がある。

またこの欠点を除去する第2の方法として、まずメモリへ書き込もうとするアドレスのデータがインストラクションバッファにすでに先取りされているか否かを判断し、先取りされている場合には、インストラクションバッファ内の先取りされた命令も書換えることにより、自己修正した命令を実行する方式がある。この方式を第1図に示したコンピュータに適用すると、メモリへのデータ書き込みの際に、IP11とDP12の差とQWC19とQRC18の差の比較を行ない、前者の差が後者の差以下の場合には、QWC19から前者の差を減じ、その結果の指し示すインストラクション

バッファの命令も書換え、前者の差が後者の差より大きい場合にはインストラクションバッファ内の命令書換えは行なわないことにより実現できる。このために必要となるハードウェアとしては、2つの減算器、比較器及び2つのマルチプレクサが必要となる。ところが命令の自己修正を行なう割合は小さく、かつ自己修正を受ける前の命令がインストラクションバッファにフェッチされている確率は非常に小さい。従って第2の方法ではハードウェアの増加量が多くなり、価格性能比の低下を来たすという欠点がある。

〔発明の目的〕

本発明の目的は、ハードウェアの増加量が少なく、性能の低下を十分小さく抑えたうえで、命令先取り機構を有するコンピュータで命令先取り機構を有しないコンピュータ上のプログラムを命令の自己修正も含めて忠実にエミュレートすることのできる情報処理装置を提供することにある。

〔発明の構成〕

本発明の装置は、命令先取り制御を行なう情報

処理装置において、先取りする命令のアドレスを記憶しておく第1の記憶手段と、データ・アクセスのメモリのアドレスを記憶しておく第2の記憶手段と、先取りした命令を記憶しておく第3の記憶手段と、前記第1の記憶手段の出力と前記第2の記憶手段の出力とを入力とし減算を行なう減算手段と前記減算手段の出力の供給をうけこれと予め定めた値との比較を行ない前記減算手段の出力が前記予め定めた値以内のときには自己修正命令フェッチ済信号を発生する比較手段と、前記自己修正命令フェッチ済信号とメモリへのデータ書き込み要求信号との供給にตอบสนองし前記第3の記憶手段の初期設定を行なう初期設定手段とを含んで構成される。

〔実施例の説明〕

次に図面を参照して本発明を詳細に説明する。第2図は本発明の一実施例を示すもので命令先取り機構を有し、かつ命令先取り機構を有しないコンピュータのプログラムを忠実にエミュレート可能にする自己修正命令フェッチ済検出部を含んだ

コンピュータのブロック図である。

第2図のコンピュータはデータ処理部3とバス制御部4と自己修正命令フェッチ済検出部（以下SMIPFDと略す）5とより構成される。バス制御部4は従来の命令先取り機構を有する第1図のコンピュータのバス制御部1と同等の機能を有している。SMIPFD5は減算器（SUB）51、比較器（CMP）52、ANDゲート53から構成される。

減算器51はバス制御部4の中の命令ポインタ41（以下IP41と略す）の出力バス411とデータポインタ42（以下DP42と略す）の出力バス412とを入力としそれぞれの差を計算し、減算結果を出力バス54へ出力する。

比較器52はIP41とDP42との減算結果を入力し、インストラクションバッファ（INST BUF）47に蓄えうる命令の数の最大数（予め比較器52内に用意されている）との比較を行ないメモリへ書き込んだデータがインストラクション・バッファ47にすでにフェッチされている場合

（後述のように前記減算結果が上述最大数以下の場合）に自己修正命令フェッチ済信号55（以下SMIPF信号と略す）を供給する。

ANDゲート53はSMIPF信号55とデータ処理部3から発せられるデータ書き込み要求信号31とを入力し、インストラクション・バッファ・イニシャライズ信号56を供給する。

インストラクション・バッファ・イニシャライズ信号56を受けとったデータ処理部3は次に実行する命令のアドレスをバス32、マルチプレクサ46を通してIP41へ転送する。また、インストラクション・バッファ・イニシャライズ信号56は、ORゲート6を通してキュー・リード・カウンタ48とキュー・ライト・カウンタ49のイニシャライズ信号410となり、インストラクション・バッファの初期化を行なう。ORゲート6のもう1つの入力信号はプログラム・シーケンス制御命令が実行された場合にデータ処理部3から出力されるキューカウンタ・イニシャライズ信号30である。

減算器51は、IP41及びDP42のビット幅と等しいデータの減算が可能でIP41の値からDP42の値を減ずる回路である。

比較器52は、減算器51の出力とインストラクション・バッファ47に蓄えうる命令数との比較を行なう。いま、インストラクション・バッファ47にN個の命令を蓄積することが可能であるならば減算器51の出力の値が1以上N以下の場合にSMIPF信号55が供給される。

第3図にアドレスバスの幅が16ビットで、Nが4の場合の比較器52の一実施例を示す。AD0からAD15は減算結果出力バス54の各信号線である。

負論理の13入力ANDゲート71は減算結果出力バス上のデータの上位13ビットが総て0であることを検知する。

ANDゲート72、ANDゲート73、ANDゲート74は減算結果出力バス54上のデータの低位3ビットが0、5、6と7であることをそれぞれ検知する。

従ってNORゲート75の出力は、演算結果出力バス54の下位3ビットが1から4であることを検知することになる。よってANDゲート76の出力であるSMIPF信号55は演算結果出力バス54上のデータが1から4の場合にのみ供給される。

第4図にはデータ処理部3からデータ読み込み要求が発生し、その読み込みアドレスのデータがバス制御部4内のインストラクション・バッファ47にすでにフェッチされている場合のタイミングチャートを示してある。

まず始めにデータ処理部3からDP42へデータ読み込みを行ないたいアドレスを尋ねる。(T1期間)この動作によりIP41とDP42の差が1以上でかつインストラクション・バッファ47の最大命令蓄積数以下となりSMIPF信号55が供給される。次にデータ処理部3からデータ・ライト要求31が出力される。(T2期間)これによってインストラクション・バッファ・イニシャライズ信号56が供給され、キュー・リード・カ

ウンタ48とキュー・ライト・カウンタ49がイニシャライズされ、インストラクション・バッファ47は空となる。次にT3期間ではメモリ・ライト信号が供給される。またデータ処理部3からは次に実行すべき命令のアドレスがIP41へ転送され命令プリフェッチのための用意が完了する。

従ってこれ以降バスに空が生じると命令フェッチし、インストラクション・バッファ47に命令を蓄えていき、修正された命令も再フェッチされることになり、命令先取りを行なっていないコンピュータのプログラムを忠実にエミュレートすることが可能となる。

次にもう1つの実施例として、マイクロ・プロセッサに应用した場合を図5図に示す。このマイクロプロセッサ(INTEL社の8086相当の機能をも有す)は、命令キューを有し、さらにセグメント・レジスタを用いダイナミック・リロケーションを可能にしている。このため、バス制御部9にはセグメント・レジスタとセグメント内オフセット値の加算を行なうための加算器がデータ処理部

内の算術論理ユニットとは別に用意されている。(8086マイクロプロセッサについてはUnited States Patent Pat. No. 4,363,091 Title "Extended Address, Single and Multiple Bit Microprocessor" 及び "New Options from big chips" IEEE spectrum MARCH 1979 pp 28-34に示されている。)

第5図の例は、前記マイクロプロセッサのバス制御部9の加算器を減算もできる加減算器910とし、物理アドレス生成時には加算器として、命令の自己修正の検出時には減算器として時分割に使用することでハードウェアの共有を行ない、さらに比較器911を追加したものである。

第5図に示す構成で命令先取り方式を採用していないマイクロプロセッサ(INTEL社の8080相当の加えマイクロプロセッサ)のプログラムのエミュレーションを行なう場合、セグメント・レジスタ群913の中のCS(コード・セグメント)とDS(データ・セグメント)は、あらかじめ同一値に設定しておく。バス制御部9はデータ処理

部8からのデータ読み込み要求により物理アドレスの生成を加減算器910で行ない、データ読み込みサイクルを開始する。定数発生器95は第1図、第2図のインクレメントに相当する回路である。データ読み込みの行なわれている間の加減算器910の空き時間においてはIP91とDP92の演算を行ないその結果と既定値(命令キュー97の最大格納数であり比較器911内に用意されている)とを比較器911で比較し、命令キュー97に現在データを蓄えようとするアドレスの18データがフェッチされている場合にのみキュー・制御部912に対してキュー・カウンタのイニシャライズ信号914を送る。イニシャライズ信号914を受けたキュー・制御部912はR/C98とQWC99のイニシャライズを行なう。これにより命令キュー97内は命令が空となり、再フェッチが行なわれ、自己修正した命令が命令キュー97にフェッチされ命令先取り方式を採用していないマイクロプロセッサのプログラムを忠実にエミュレーションすることが可能である。

〔発明の効果〕

本発明には以上説明したように、命令ポインタとデータ・ポインタの差を計算する減算器と既定値との比較器により自己修正命令の再フェッチの必要性を検出しその場合にのみ再フェッチを行なうことにより命令先取りを行なわないコンピュータのプログラムを忠実にかつ性能の低下を十分小さくエミュレーションすることができるという効果がある。

4. 図面の簡単な説明

第1図は命令先取り機構を有する従来のコンピュータのブロック図、第2図は自己修正命令フェッチ済み検出部を含んだ命令先取り機構を有するコンピュータのブロック図、第3図は比較器の一実施例、第4図は再フェッチの発生するタイミングを示した図、第5図はマイクロプロセッサによる実施例を示した図である。

1 ……バス制御部、

11 ……命令ポインタ、12 ……データポイン

タ、13 ……マルチプレクサ、14 ……アドレスバス、15 ……インクリメント、16 ……マルチプレクサ、17 ……インストラクション・バッファ、18 ……キュー・リード・カウンタ、19 ……キュー・ライト・カウンタ、110 ……デマルチプレクサ、111 ……メモリ・データ・レジスタ、112 ……内部データ・バス、113 ……内部データ・バス、

2 ……データ処理部、

20 ……キュー・カウンタ・リセット信号、

21 ……命令バス、22 ……命令アドレス・バス、

23 ……データ・アドレス・バス、

3 ……データ処理部、

30 ……キュー・カウンタ・イニシャライズ信号、31 ……データ・掛込み要求信号、32 ……命令・アドレス・バス、33 ……データ・アドレス・バス、

4 ……バス制御部、

41 ……命令ポインタ、42 ……データ・ポインタ、46 ……マルチプレクサ、47 ……インス

トラクション・バッファ、48 ……キュー・リード・カウンタ、49 ……キュー・ライト・カウンタ、410 ……イニシャライズ信号、411 ……出力バス、412 ……出力バス、

5 ……自己修正命令フェッチ済み検出部、

51 ……減算器、52 ……比較器、53 ……ANDゲート、54 ……減算結果出力バス、55 ……自己修正命令フェッチ済み信号、56 ……インストラクション・バッファ・イニシャライズ信号、

6 ……ORゲート、

8 ……データ処理部、

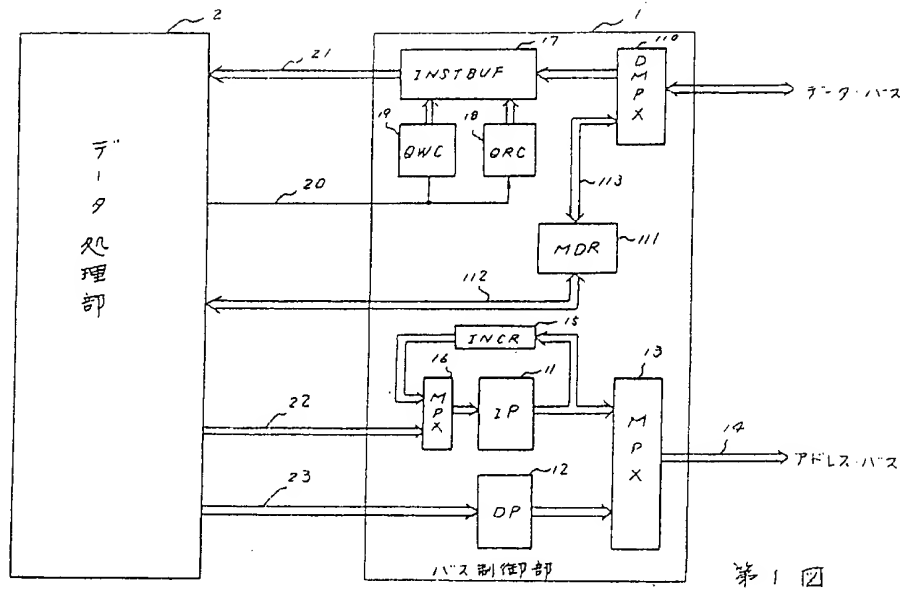
9 ……バス制御部、

91 ……命令ポインタ、92 ……データ・ポインタ、93 ……アドレス・データ・ラッチ、94 ……アドレス・データ・バス、95 ……定数発生器、96 ……マルチプレクサ、97 ……命令キュー、98 ……キュー・リード・カウンタ、99 ……キュー・ライト・カウンタ、910 ……加減算器、911 ……比較器、912 ……キュー制御部、913 ……セグメント・レジスタ群、914 ……イニシャ

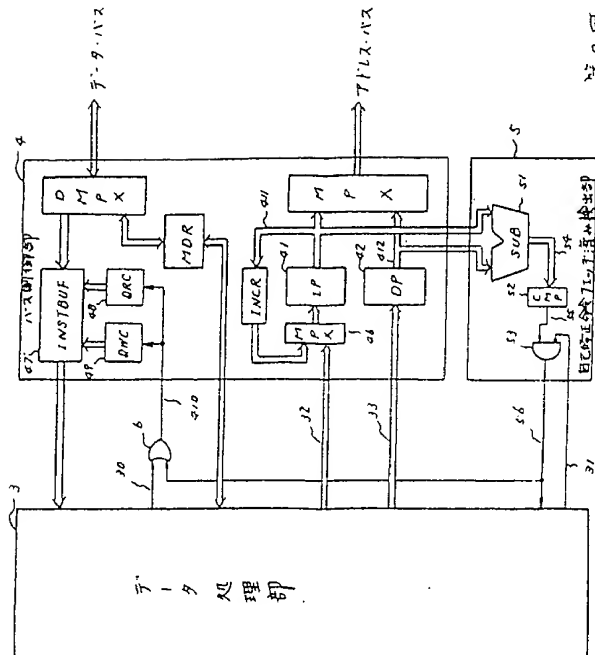
ライズ信号。

代理人 弁理士 内 原 賢

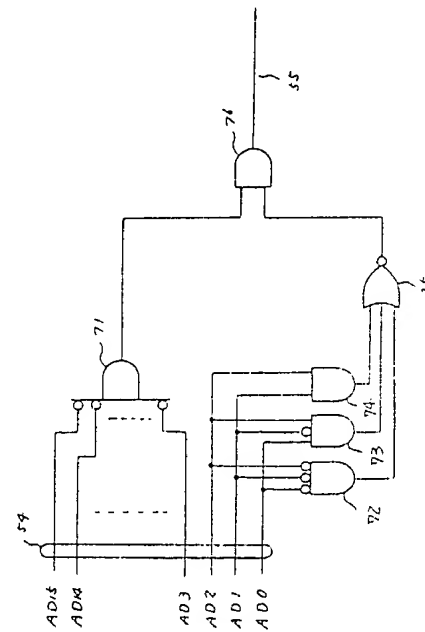




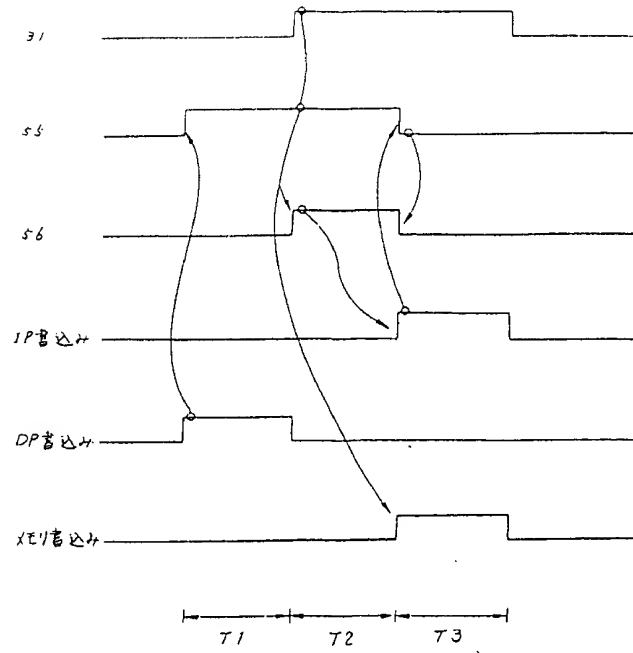
第1図



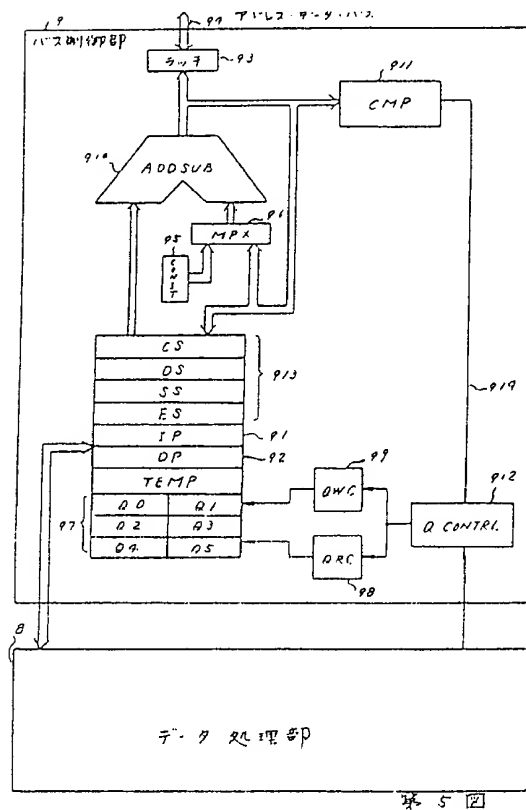
第2図



第3図



第4図



第5図